

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10289951 A

(43) Date of publication of application: 27.10.98

(51) Int. Cl

H01L 21/768

H01L 21/3065

H01L 27/115

H01L 21/8247

H01L 29/788

H01L 29/792

(21) Application number: 09097235

(22) Date of filing: 15.04.97

(71) Applicant: TOSHIBA CORP

(72) Inventor: KOIDO NAOKI

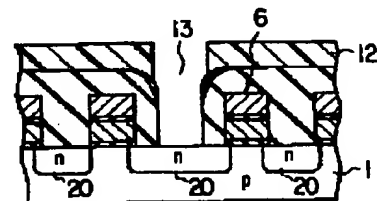
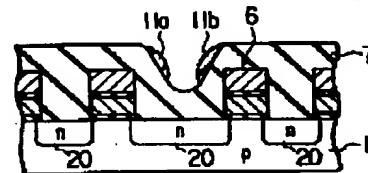
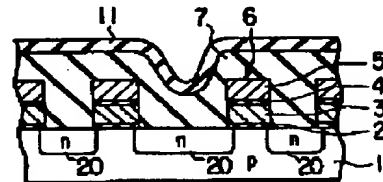
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a contact structure in a semiconductor device which can secure a margin for short-circuiting while securing a sufficient area for a bottom part to thereby improve reliability.

SOLUTION: A semiconductor element 6 is formed on a semiconductor substrate 1, and then an interlayer insulating film 7 is formed all over the element 6. An insulating film 11 having etching selectivity higher than that of the film 7 is formed on the film 7, and then subjected to an etch-back process to be left as side walls of a step part as an expected contact hole 3 formation region. Using a (self-aligned contact)SAC technique of using insulating films 11a and 11b left on the step part side walls as part of an etching stopper, a contact hole 13 having a forwardly-tapered upper end is made in the film 7. Since the contact hole has such a forwardly-tapered end, an area for the bottom of the contact hole can be secured and a sufficient margin can be secured for short-circuiting between the side wall of the contact hole and a semiconductor element.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-289951

(43) 公開日 平成10年(1998)10月27日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 21/768
21/3065
27/115
21/8247
29/788

H 0 1 L 21/90 C
21/302 M
27/10 4 3 4
29/78 3 7 1

審査請求 未請求 請求項の数14 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平9-97235

(22) 出願日

平成9年(1997)4月15日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小井土 直樹

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

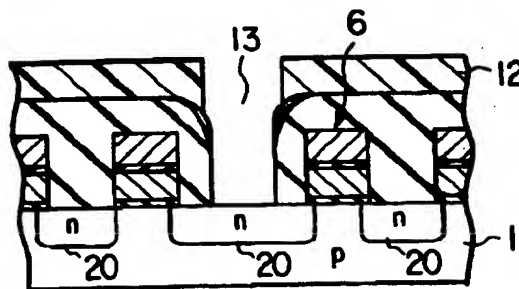
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 底部の面積を確保しつつショートに対する余裕を確保でき、信頼性を向上できる半導体装置のコンタクト構造を提供することを目的としている。

【解決手段】 半導体基板1上に半導体素子6を形成した後、全面に層間絶縁膜7を形成する。層間絶縁膜上にこの層間絶縁膜に対してエッチング選択比の高い絶縁膜11を形成し、エッチバックしてコンタクト孔の形成予定領域の段差部側壁に残存させる。そして、段差部側壁に残存された絶縁膜11a, 11bをエッチングストップの一部として利用するSAC技術により、層間絶縁膜に開孔上端部が順テーパ形状を有するコンタクト孔13を開孔することを特徴としている。開孔上端部に順テーパ形状を有するコンタクト孔を形成するので、コンタクト孔の底部の面積を確保しつつコンタクト孔の側壁部と半導体素子間のショートに対する十分な余裕を確保でき、信頼性を向上できる。



【特許請求の範囲】

【請求項1】 半導体基板上に少なくとも一部の領域が形成された半導体素子と、この半導体素子上に形成された層間絶縁膜と、上記層間絶縁膜に形成され、少なくとも開孔上端部が順テーパー形状を有するコンタクト孔と、上記コンタクト孔の開孔上端部の領域に形成された絶縁膜と、上記コンタクト孔内に埋め込まれた導電性の埋め込み部材とを具備することを特徴とする半導体装置。

【請求項2】 前記コンタクト孔の底部における前記半導体基板の表面領域中に形成された不純物拡散層を更に具備することを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記層間絶縁膜及び前記埋め込み部材上に形成され、前記埋め込み部材を介して前記半導体素子と電気的に接続される配線層を更に具備することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記埋め込み部材と前記コンタクト孔の底部に露出された半導体基板との間に介在されるバリアメタル層を更に具備することを特徴とする請求項1ないし3いずれか1つの項に記載の半導体装置。

【請求項5】 前記半導体素子は、不揮発性のメモリセルトランジスタであることを特徴とする請求項1ないし4いずれか1つの項に記載の半導体装置。

【請求項6】 前記コンタクト孔の開孔上端部の領域に形成された絶縁膜は、前記層間絶縁膜に対してエッチング選択比が高い材料であることを特徴とする請求項1ないし5いずれか1つの項に記載の半導体装置。

【請求項7】 前記層間絶縁膜はシリコン酸化物を含み、前記絶縁膜はシリコン窒化物であることを特徴とする請求項1ないし6いずれか1つの項に記載の半導体装置。

【請求項8】 半導体基板上に半導体素子を形成する工程と、上記半導体素子上に層間絶縁膜を形成する工程と、上記層間絶縁膜上にこの層間絶縁膜に対してエッチング選択比の高い絶縁膜を形成する工程と、上記絶縁膜をエッチバックして上記層間絶縁膜におけるコンタクト孔の形成予定領域の段差部側壁に残存させる工程と、上記段差部側壁に残存された絶縁膜をエッチングストップの一部として利用するSAC技術により、上記層間絶縁膜の開孔上端部が順テーパー形状を有するコンタクト孔を開孔する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項9】 前記コンタクト孔の底部の前記半導体基板中に不純物をイオン注入する工程を更に具備することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記コンタクト孔を導電性の埋め込み部材で埋め込む工程を更に具備することを特徴とする請求項8または9に記載の半導体装置の製造方法。

【請求項11】 前記層間絶縁膜及び前記埋め込み部材上に配線層を形成する工程を更に具備することを特徴と

する請求項10に記載の半導体装置の製造方法。

【請求項12】 前記コンタクト孔内にバリアメタル層を形成する工程を更に具備することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項13】 前記半導体素子を形成する工程は、前記半導体基板上に第1のゲート酸化膜を形成する工程と、上記第1のゲート酸化膜上にフローティングゲートを形成する工程と、上記フローティングゲート上に第2のゲート酸化膜を形成する工程と、上記第2のゲート酸化膜上にコントロールゲートを形成する工程と、前記半導体基板中にソース、ドレイン領域を形成する工程とを含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項14】 前記層間絶縁膜はCVD法で形成されたシリコン酸化物を含み、前記絶縁膜はCVD法で形成されたシリコン窒化物であることを特徴とする請求項8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置及びその製造方法に関するもので、特にコンタクト孔の上端部に順テーパー形状を有するコンタクト部の構造とその形成方法に係る。

【0002】

【従来の技術】近年、半導体装置の微細化に伴いコンタクトサイズも微細化している。配線層間をアスペクト比の高くなったコンタクト孔を介して接続して高い導通特性を得るためには、導電材料を微細で且つ深いコンタクト孔内に良好に埋め込む技術が要求される。そのための手法として、例えばブランケット法によるコンタクト孔の埋め込みや、高融点金属のリフロー埋め込み等の技術が知られている。これらの手法を採用するに当たり、導電材料をコンタクト孔内に所望の形状に埋め込んでプラグを形成するために、また、下地のバリアメタル層を理想的に形成するために、コンタクト孔の側壁を順テーパー形状にするのが有効である。

【0003】側壁部に順テーパーを付ける従来のコンタクト孔の形成方法についてEPROMを例にとって説明する。まず、図10に示すように、半導体基板1上に周知の製造工程で第1のゲート酸化膜2、フローティングゲート3、第2のゲート酸化膜4及びコントロールゲート5を順次積層し、パターニングして積層ゲート構造6を形成する。上記積層ゲート構造6を形成する前あるいは形成後に、上記半導体基板1中に不純物をイオン注入し、ソース、ドレイン領域20、20を形成する。その後、常圧の化学気相成長法（以下CVD法と記す）により上記半導体基板1上及び上記積層ゲート構造6上にSiO₂や不純物を含むSiO₂、例えばPSGやBPSG等からなる層間絶縁膜7を堆積形成し、熱工程によりリフローする。

【0004】次に、図11に示すように、フォトレジスト8をマスクとして上記層間絶縁膜7のコンタクト孔形成部をエッチングしてコンタクト孔9を開孔する。この際、ガス、温度、圧力等の条件を最適化した反応性イオンエッチング法（以下RIEと記す）により、コンタクト孔9の側壁部が順テーパ形状となるようにする。

【0005】その後、上記フォトレジスト8を除去すると図12に示すようになる。このような製造工程により、側壁部に順テーパの付いたコンタクト孔9を形成できる。

【0006】しかしながら、上述したような従来の半導体装置の製造方法では、微細なコンタクト孔9の側壁部に順テーパを付けると底部の面積が小さくなり、コンタクトの信頼性が低下したりコンタクト抵抗が増大してしまうという問題が生ずる。一方、コンタクト孔の底部に十分な面積を確保すると、コンタクト孔の上縁部には更に大きな面積が必要となるため、集積密度が低下したり、ショートに対する余裕が充分に取れないという問題が発生する。

【0007】上記積層ゲート構造6とコンタクト孔9との余裕を最小限で実現する手法として、配線層間に自己整合的にコンタクト孔を形成するSAC技術が知られている。図13は上記SAC技術を用いて形成したコンタクト孔の開孔部近傍の断面図である。SAC技術では、半導体基板1上に上面が層間絶縁膜に対してエッチング選択比の高い例えばシリコン窒化物（以下SiNと記す）で覆われた積層ゲート構造6を形成した後、基板1上の全面に同様のSiN等の絶縁膜を形成し、この絶縁膜をエッチバックして少なくとも積層ゲート構造6の側壁部に残存させる。そして、全面に層間絶縁膜7を形成し、この層間絶縁膜7にコンタクト孔9を開孔する。この際、積層ゲート構造6の上面と側壁部に残存されている絶縁膜10、10a、10bをエッチングのストッパとして利用することにより、コンタクト孔9の底部を自己整合的に形成できる。

【0008】しかしながら、SAC技術は、SiNのようなストレスの大きい絶縁膜10a、10bを積層ゲート構造6の側壁部に形成するため、第1、第2のゲート酸化膜2、4の劣化によりメモリセルトランジスタのホットキャリア耐性が低下してしまうという問題がある。また、EPROMは、通常消去動作に紫外線照射を行っており、更にEEPROMのような電気的に消去を行う不揮発性半導体記憶装置においても、製品開発時あるいは出荷前の製品試験等の際には、メモリセルトランジスタの初期化を紫外線消去で行うことがある。しかし、SiNのような紫外線を通し難い膜でメモリセルトランジスタを覆ってしまうと、消去が十分にできない、あるいは時間がかかるという問題がある。

【0009】

【発明が解決しようとする課題】上記のようにコンタク

ト孔に順テーパを付けた従来の半導体装置は、コンタクト孔の微細化に伴って、コンタクトの信頼性の低下やコンタクト抵抗の増大を招き、これを解決しようとする集積密度の低下やショートに対する余裕が充分にとれなくなるという問題がある。また、SAC技術を用いた従来の半導体装置の製造方法は、ゲート酸化膜を有する半導体素子に適用するとゲート酸化膜の劣化によりホットキャリア耐性が低下するという問題がある。更に、半導体素子が不揮発性のメモリセルトランジスタの場合には、紫外線照射による消去や初期化の際に紫外線が通りにくく、時間がかかるという問題がある。

【0010】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、コンタクト孔の底部の面積を確保しつつコンタクト孔の側壁部と半導体素子間のショートに対する十分な余裕を確保でき、信頼性を向上できるコンタクト構造を備えた半導体装置及びその製造方法を提供することにある。

【0011】また、この発明の他の目的は、ゲート酸化膜の劣化によるホットキャリア耐性の低下を抑制できる半導体装置及びその製造方法を提供することにある。この発明の更に他の目的は、不揮発性のメモリセルトランジスタにおける紫外線照射による消去や初期化に要する時間を短縮できる半導体装置及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】この発明の請求項1に記載した半導体装置は、半導体基板上に少なくとも一部の領域が形成された半導体素子と、この半導体素子上に形成された層間絶縁膜と、上記層間絶縁膜に形成され、少なくとも開孔上端部が順テーパ形状を有するコンタクト孔と、上記コンタクト孔の開孔上端部の領域に形成された絶縁膜と、上記コンタクト孔内に埋め込まれた導電性の埋め込み部材とを具備することを特徴としている。

【0013】また、請求項2に記載したように、請求項1に記載の半導体装置において、前記コンタクト孔の底部における前記半導体基板の表面領域中に形成された不純物拡散層を更に具備することを特徴とする。

【0014】請求項3に記載したように、請求項1または2に記載の半導体装置において、前記層間絶縁膜及び前記埋め込み部材上に形成され、前記埋め込み部材を介して前記半導体素子と電気的に接続される配線層を更に具備することを特徴とする。

【0015】請求項4に記載したように、請求項1ないし3いずれか1つの項に記載の半導体装置において前記埋め込み部材と前記コンタクト孔の底部に露出された半導体基板との間に介在されるバリアメタル層を更に具備することを特徴とする。

【0016】請求項5に記載したように、請求項1ないし4いずれか1つの項に記載の半導体装置において、前記半導体素子は、不揮発性のメモリセルトランジスタで

あることを特徴とする。

【0017】請求項6に記載したように、請求項1ないし5いずれか1つの項に記載の半導体装置において、前記コンタクト孔の開孔上端部の領域に形成された絶縁膜は、前記層間絶縁膜に対してエッチング選択比が高い材料であることを特徴とする。

【0018】請求項7に記載したように、請求項1ないし6いずれか1つの項に記載の半導体装置前記層間絶縁膜はシリコン酸化物を含み、前記絶縁膜はシリコン窒化物であることを特徴とする。

【0019】更に、この発明の請求項8に記載した半導体装置の製造方法は、半導体基板上に半導体素子を形成する工程と、上記半導体素子上に層間絶縁膜を形成する工程と、上記層間絶縁膜上にこの層間絶縁膜に対してエッチング選択比の高い絶縁膜を形成する工程と、上記絶縁膜をエッチバックして上記層間絶縁膜におけるコンタクト孔の形成予定領域の段差部側壁に残存させる工程と、上記段差部側壁に残存された絶縁膜をエッチングストップの一部として利用するSAC技術により、上記層間絶縁膜に開孔上端部が順テーパー形状を有するコンタクト孔を開孔する工程とを具備することを特徴としている。

【0020】請求項9に記載したように、請求項8に記載の半導体装置の製造方法において、前記コンタクト孔の底部の前記半導体基板中に不純物をイオン注入する工程を更に具備することを特徴とする。

【0021】請求項10に記載したように、請求項8または9に記載の半導体装置の製造方法において、前記コンタクト孔を導電性の埋め込み部材で埋め込む工程を更に具備することを特徴とする。

【0022】請求項11に記載したように、請求項10に記載の半導体装置の製造方法において、前記層間絶縁膜及び前記埋め込み部材上に配線層を形成する工程を更に具備することを特徴とする。

【0023】請求項12に記載したように、請求項8に記載の半導体装置の製造方法において、前記コンタクト孔内にバリアメタル層を形成する工程を更に具備することを特徴とする。

【0024】請求項13に記載したように、請求項8に記載の半導体装置の製造方法において、前記半導体素子を形成する工程は、前記半導体基板上に第1のゲート酸化膜を形成する工程と、上記第1のゲート酸化膜上にフローティングゲートを形成する工程と、上記フローティングゲート上に第2のゲート酸化膜を形成する工程と、上記第2のゲート酸化膜上にコントロールゲートを形成する工程と、前記半導体基板中にソース、ドレイン領域を形成する工程とを含むことを特徴とする。

【0025】請求項14に記載したように、請求項8に記載の半導体装置の製造方法において、前記層間絶縁膜はCVD法で形成されたシリコン酸化物を含み、前記絶

縁膜はCVD法で形成されたシリコン窒化物であることを特徴とする。

【0026】請求項1のような構成によれば、コンタクト孔の開孔上端部を順テーパー形状にしているので、コンタクト孔の底部の面積を確保しつつコンタクト孔の側壁部と半導体素子間のショートに対する十分な余裕を確保でき、信頼性を向上できる。また、ゲート酸化膜を有する半導体素子に適用した場合、ストレスの大きい絶縁膜と半導体素子との間に層間絶縁膜が介在されているので、ゲート酸化膜が劣化するのを防止でき、ホットキャリア耐性が低下することもない。更に、半導体素子が不揮発性のメモリセルトランジスタであっても、紫外線が通りにくい絶縁膜は開孔上端部しか覆わないので、紫外線照射による消去や初期化の時間を短縮できる。

【0027】請求項2のように、コンタクト孔の底部の半導体基板中に不純物拡散層を設ければ、コンタクト抵抗を低減できるとともに接合の突き抜けも防止できる。請求項3に示すように、層間絶縁膜及び埋め込み部材上に配線層を形成すれば、この配線層を平坦な領域上に形成できるので、段切れ等による配線不良を抑制できる。

【0028】請求項4に示すように、バリアメタル層を設ければ、コンタクトの信頼性を更に向上できる。請求項5に示すように、半導体素子として不揮発性のメモリセルトランジスタを設ければ、紫外線が通りにくい絶縁膜は開孔上端部しか覆わないので、紫外線照射の際の消去時間や初期化時間を短縮できる。

【0029】請求項6に示すように、絶縁膜として層間絶縁膜とエッチング選択比の高い材料を用いれば、この絶縁膜をエッチングのストップとするSAC技術を用いて層間絶縁膜にコンタクト孔を形成できる。

【0030】請求項7に示すように、層間絶縁膜としてはシリコン酸化物を含む材料、絶縁膜としてはシリコン窒化物を用いることができる。請求項8のような方法によれば、層間絶縁膜の段差部側壁に残存された絶縁膜をエッチングストップとして開孔上端部に順テーパー形状を有するコンタクト孔を形成するので、コンタクト孔の底部の面積を確保しつつコンタクト孔の側壁部と半導体素子間のショートに対する十分な余裕を確保でき、信頼性を向上できる。また、ゲート酸化膜を有する半導体素子を備えた半導体装置の製造方法に適用した場合に、SAC技術を用いてコンタクト孔を形成しても、ストレスの大きい絶縁膜と半導体素子との間に層間絶縁膜が介在されているので、ゲート酸化膜が劣化するのを防止でき、ホットキャリア耐性が低下することもない。更に、半導体素子が不揮発性のメモリセルトランジスタであっても、紫外線が通りにくい絶縁膜は開孔上端部しか覆わないので、紫外線照射による消去や初期化の時間を短縮できる。

【0031】請求項9のように、コンタクト孔の底部の半導体基板中に不純物をイオン注入して不純物拡散層を

形成すれば、コンタクト抵抗を低減できるとともに接合の突き抜けも防止できる。

【0032】請求項10に示すように、コンタクト孔を埋め込み部材で埋め込む際、コンタクト孔の開孔上端部が順テーパ形状になっているので、容易に埋め込むことができる。

【0033】請求項11に示すように、コンタクト孔を埋め込んでから配線層を形成すれば、配線層を平坦な領域上に形成できるので、段切れ等による配線不良を抑制できる。

【0034】請求項12に示すように、バリアメタル層を形成する工程を設ければ、コンタクトの信頼性を更に向上できる。請求項13に示すように、不揮発性のメモリセルトランジスタの形成工程に適用すれば、SAC技術を用いてコンタクト孔を形成しても、ストレスの大きい絶縁膜と半導体素子との間に層間絶縁膜が介在されているので、ゲート酸化膜が劣化するのを防止でき、ホットキャリア耐性が低下することはない。また、紫外線が通りにくい絶縁膜は開孔上端部しか覆わないので、紫外線照射による消去や初期化の時間を短縮できる。

【0035】請求項14に示すように、層間絶縁膜としてはCVD法で形成されたシリコン酸化物を含む材料、絶縁膜としてはCVD法で形成されたシリコン窒化物を用いれば、通常の半導体装置の製造工程で容易に形成することができる。

【0036】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1ないし図9はそれぞれ、この発明の第1の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型EEPROMを例にとってコンタクト孔の近傍の製造工程を順次示している。まず、図1に示すように、例えばP型の半導体基板1上に周知の製造工程により第1のゲート酸化膜2、フローティングゲート3、第2のゲート酸化膜4及びコントロールゲート5を順次積層形成し、パターニングして積層ゲート構造6を形成する。その後、上記積層ゲート構造6をマスクにして上記半導体基板1中に不純物をイオン注入し、熱処理を行って活性化して半導体基板1と逆導電型のソース、ドレイン領域20、20を形成することによりメモリセルトランジスタを形成する。上記ソース、ドレイン領域は、周辺回路との兼ね合いやパターン構成等に応じて積層ゲート構造6の形成前に予め半導体基板1中に形成しても良い。次に、常圧CVD法により全面に層間絶縁膜7を0.3 μ m~0.5 μ m程度の厚さに堆積形成する。この層間絶縁膜7は、SiO₂や不純物を含むSiO₂、例えばPSGやBPSG等からなる。この層間絶縁膜7の形成時、隣接する積層ゲート構造6、6間はスペースが狭い（通常最小デザイン・ルールで形成する）ため、上記層間絶縁膜7でほぼ平坦に埋まるが、コンタクト孔の形成

部はスペースが広いので段差が生ずる。引き続き、上記層間絶縁膜7上に、例えばステップカバレッジの良好な減圧CVD法により、CVD窒化膜（Si₃N₄膜）11を形成する。

【0037】次に、図2に示すように、RIE法により上記CVD窒化膜11をエッチバックし、上記段差部（コンタクト孔の形成予定領域）側壁に窒化膜11a、11bを残存させる。

【0038】上記層間絶縁膜7及びCVD窒化膜11a、11b上にフォトリソistを塗布し、露光及び現像を行ってコンタクト孔の形成のためのパターンを形成した後、このフォトリソistパターン12をマスクにして、CVD窒化膜11a、11bと高いエッチング選択性のあるRIE法でコンタクト孔13を開孔する。この際、図3に示すように、上記コンタクト孔13は段差部側壁に残存されている上記CVD窒化膜11a、11bをエッチングストッパにしたSAC技術を用いて開孔する。

【0039】次に、図4に示すように、上記フォトリソistパターン12を剥離して除去する。その後、図5に示すように、再度フォトリソistを塗布して露光及び現像処理を行ってマスク14を形成し、コンタクト孔13の底部に不純物をイオン注入した後、熱処理を行って活性化することにより図6に示すような高濃度の不純物拡散層15を形成する。この不純物拡散層15は、コンタクト抵抗の低減と接合の突き抜けを防止するためのものである。

【0040】引き続き、図7に示すように上記層間絶縁膜7の表面及び上記不純物拡散層15上の半導体基板1の露出面上にバリアメタル層16を形成し、上記コンタクト孔13を埋め込むようにバリアメタル層16上に埋め込み部材17を減圧CVD法により堆積形成する。

【0041】次に、上記埋め込み部材17を等方性エッチング、例えばCDEでエッチバックし、図8に示すようにコンタクト孔13内に残存させてプラグ17'を形成する。

【0042】そして、図9に示すように、上記バリアメタル層16上及び上記埋め込み部材17上にアルミニウム等を蒸着し、パターニングして配線層18を形成する。上記のような構成並びに製造方法によれば、コンタクト孔13の開孔上端部を順テーパ形状に形成しているので、コンタクト孔13の底部の面積を確保しつつコンタクト孔13の側壁部と積層ゲート構造6間のショートに対する十分な余裕を確保でき、信頼性を向上できる。また、ストレスの大きいCVD窒化膜11a、11bと積層ゲート構造6との間に層間絶縁膜7が介在されているので、ゲート酸化膜2、4が劣化するのを防止でき、ホットキャリア耐性が低下することもない。更に、紫外線が通りにくいCVD窒化膜11a、11bは開孔上端部しか覆わないので、紫外線照射による消去や初期化の

時間を短縮できる。

【0043】なお、上記実施の形態では、図1に示した製造工程において、層間絶縁膜7を堆積形成後、直ちにストップとして働くSiN膜11を堆積する例を説明したが、上記SiN膜11をエッチバック法により所望の箇所にのみ最適な形状で形成し、他の部分は平坦性を良くするために層間絶縁膜7を堆積後リフローして形を整えても良いことは本発明の主旨と効果を考えれば自明である。また、エッチングストップ絶縁膜11(11a, 11b)として減圧CVD法によるSiN膜を例にとつて説明したが、減圧以外に常圧等の他の形成条件でも同様な効果が得られる。更に、このエッチングストップ絶縁膜11(11a, 11b)の材料もSiN膜以外に層間絶縁膜7と十分なエッチング選択比が確保できるものであれば他の材料でも良いことは言うまでもない。この他、図13に示されるような積層ゲート構造6の上面を覆うエッチングストップ絶縁膜10を設けてもよく、本発明の主旨を逸脱しない範囲で適宜変形して実施することができる。

【0044】

【発明の効果】以上説明したように、この発明によれば、コンタクト孔の底部の面積を確保でき、且つコンタクト孔の側壁部と半導体素子間のショートに対する十分な余裕を確保できる半導体装置及びその製造方法が得られる。

【0045】また、ゲート酸化膜の劣化によるホットキャリア耐性の低下を抑制できる半導体装置及びその製造方法が得られる。更に、不揮発性のメモリスルランジスタにおける紫外線照射による消去や初期化に要する時間を短縮できる半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図1】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第1の製造工程を示す断面図。

【図2】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第2の製造工程を示す断面図。

【図3】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第3の製造工程を示す断面図。

【図4】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型

のEEPROMを例にとってコンタクト孔の近傍の第4の製造工程を示す断面図。

【図5】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第5の製造工程を示す断面図。

【図6】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第6の製造工程を示す断面図。

【図7】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第7の製造工程を示す断面図。

【図8】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第8の製造工程を示す断面図。

【図9】この発明の実施の形態に係る半導体装置及びその製造方法について説明するためのもので、NAND型のEEPROMを例にとってコンタクト孔の近傍の第9の製造工程を示す断面図。

【図10】コンタクト孔の側壁に順テーパを付ける従来の半導体装置の製造方法について説明するためのもので、EPROMのコンタクト部における第1の製造工程を示す断面図。

【図11】コンタクト孔の側壁に順テーパを付ける従来の半導体装置の製造方法について説明するためのもので、EPROMのコンタクト部における第2の製造工程を示す断面図。

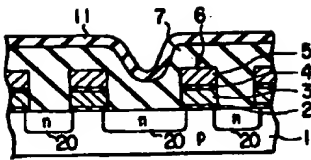
【図12】コンタクト孔の側壁に順テーパを付ける従来の半導体装置の製造方法について説明するためのもので、EPROMのコンタクト部における第3の製造工程を示す断面図。

【図13】コンタクト孔の側壁に順テーパを付ける従来の他の半導体装置の製造方法について説明するためのもので、EPROMのコンタクト部を示す断面図。

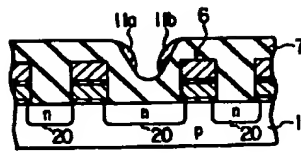
【符号の説明】

1…半導体基板、2…第1のゲート酸化膜、3…フローティングゲート、4…第2のゲート酸化膜、5…コントロールゲート、6…積層ゲート構造、7…層間絶縁膜、11…CVD窒化膜(SiN膜)、12…フォトレジストパターン、13…コンタクト孔、14…マスク(フォトレジスト)、15…不純物拡散層、16…バリアメタル層、17…埋め込み部材、18…配線層、20、20…ソース、ドレイン領域。

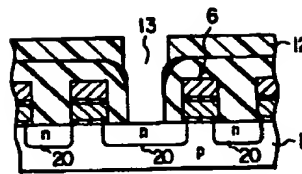
【図1】



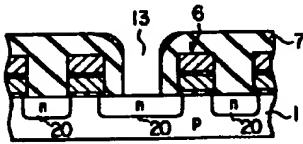
【図2】



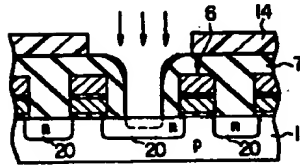
【図3】



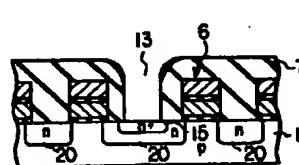
【図4】



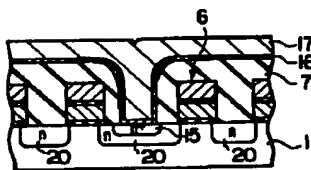
【図5】



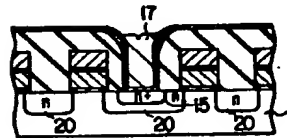
【図6】



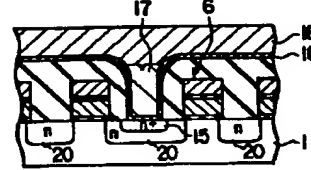
【図7】



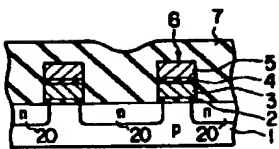
【図8】



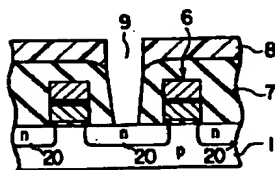
【図9】



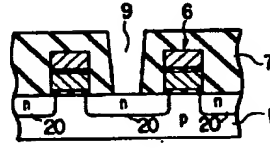
【図10】



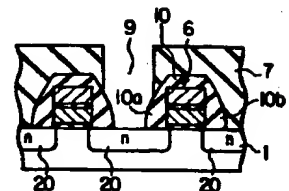
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. 6

H01L 29/792

識別記号

F I